

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
**Image Problem Mailbox.**

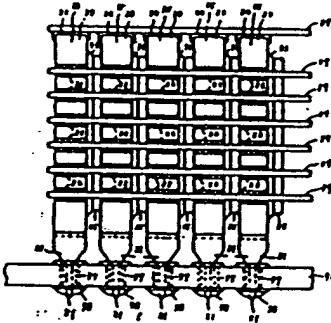
JA 0112348  
JUL 1983

## (54) SEMICONDUCTOR DEVICE

(11) 58-112348 (A) (43) 4.7.1983 (19) JP  
(21) Appl. No. 56-211715 (22) 25.12.1981  
(71) FUJITSU K.K. (72) NOBUHIKO MIZUO  
(51) Int. Cl. H01L23/12, H01L23/48

**PURPOSE:** To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

**CONSTITUTION:** In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開

昭58-112348

⑫ Int. Cl.  
H 01 L 23/12  
23/48

識別記号

厅内整理番号  
7357-5F  
7357-5F

⑬ 公開 昭和58年(1983)7月4日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭56-211715  
の出 願 昭56(1981)12月25日  
⑯ 発明者 水尾允彦

川崎市中原区上小田中1015番地  
富士通株式会社内

⑰ 出願人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑱ 代理人 弁理士 松岡宏四郎

1. 発明の範囲

2. 半導体装置

3. 特許請求の範囲

半導体チップが、一外部側面にピン状の外部導電端子を有し、他の外部側面に被膜状の外部導電端子を有するチップ・キャリアに実装されてなることを特徴とする半導体装置。

4. 発明の詳細な説明

(1) 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に係り、特に半導体チップとして半導体メモリチップがチップ・キャリアに実装された半導体装置における外部導電端子の構造に関するものである。

(2) 技術の背景

計算機システム等の大規模化に伴い、計算機システムに搭載される半導体メモリチップ等の半導体集成回路 (L.I.C.) チップの数は非常に膨大とされており、このことはシステムの大規模化を阻害する。

それに伴ってシステム内の配線長が長くなり計算速度の低下を招く。そこで、計算機システム等に対する半導体ICチップの実装密度を高めシステムの大規模化を抑える手段として提供されたのが、チップ・キャリア実装構造の半導体IC装置である。

(a) 従来技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。第1図はリードレス・チップ・キャリアに実装された半導体IC装置における一例の断面図印及び底面図を示したものである。そして断面に於て1はセラミック基板、2はセラミック枠、3は表面に金 (Au) めっき等が施されたチップ・ステージ、4は突出部ICであるめっき等が施されている内部配線、5は内部配線からそれぞれ露出されるめっき等が施されている外部配線、6は外部配線がそれぞれ底面に露出され表面にAuめっき等が施された被膜状の外部端子、7はチップラウフ用メタライズ層、8は金属チップ、9は銀 (Ag) 合金等のろう材、





图 3 四

1958-112348(4)

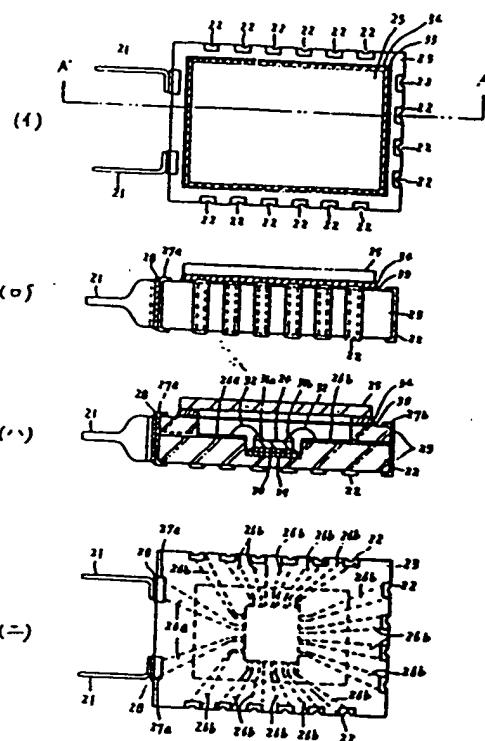


图 4 四

